

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re PATENT APPLICATION of :

Young-rae Park et al. :

Serial No.: [NEW] :

Attn: Applications Branch

Filed: November 8, 2001 :

Attorney Docket No.: SEC.848

For: METHOD FOR FABRICATING A CONTACT PAD OF SEMICONDUCTOR
DEVICE

6/Priority
Paper
CA
4/27/02



CLAIM OF PRIORITY

Honorable Assistant Commissioner for Patents and Trademarks,
Washington, D.C. 20231

Sir:

Applicants, in the above-identified application, hereby claim the priority date
under the International Convention of the following Korean application:

Appln. No. 2000-66828

filed November 10, 2000

as acknowledged in the Declaration of the subject application.

A certified copy of said application is being submitted herewith.

Respectfully submitted,

VOLENTINE FRANCOS, PLLC

Adam C. Volentine
Registration No. 33,289

12200 Sunrise Valley Drive, Suite 150
Reston, Virginia 20191
Tel. (703) 715-0870
Fax. (703) 715-0877

Date: November 8, 2001



대한민국 특허청

KOREAN INDUSTRIAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

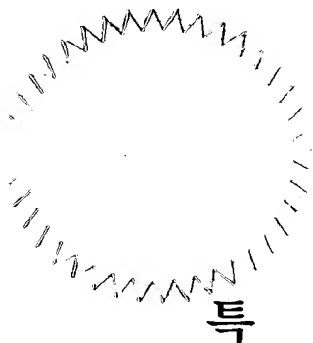
This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Industrial
Property Office.

출원번호 : 특허출원 2000년 제 66828 호
Application Number

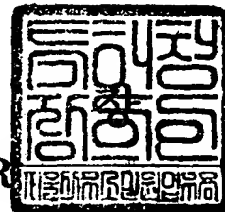
출원년월일 : 2000년 11월 10일
Date of Application

출원인 : 삼성전자 주식회사
Applicant(s)

2001 01 05
년 월 일



특 허 청
COMMISSIONER



【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2000.11.10
【국제특허분류】	H01L
【발명의 명칭】	반도체 소자의 콘택패드 형성방법
【발명의 영문명칭】	Method for fabricating a contact pad of semiconductor device
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-009617-5
【대리인】	
【성명】	이래호
【대리인코드】	9-1999-000226-8
【포괄위임등록번호】	2000-002818-3
【발명자】	
【성명의 국문표기】	박영래
【성명의 영문표기】	PARK, Young Rae
【주민등록번호】	681011-1268214
【우편번호】	442-070
【주소】	경기도 수원시 팔달구 인계동 159번지 선경3차아파트 302동 202호
【국적】	KR

【발명자】

【성명의 국문표기】 김정엽
【성명의 영문표기】 KIM, Jung Yup
【주민등록번호】 680423-1042111
【우편번호】 137-132
【주소】 서울특별시 서초구 양재2동 384-1
【국적】 KR

【발명자】

【성명의 국문표기】 윤보언
【성명의 영문표기】 YOON, Bo Un
【주민등록번호】 651219-1676310
【우편번호】 150-010
【주소】 서울특별시 영등포구 여의도동 대교아파트 2동 702호
【국적】 KR

【발명자】

【성명의 국문표기】 하상록
【성명의 영문표기】 HAH, Sang Rok
【주민등록번호】 611114-1031525
【우편번호】 135-120
【주소】 서울특별시 강남구 신사동 565-19 한주빌딩 5층
【국적】 KR

【심사청구】

청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
 이영필 (인) 대리인
 정상빈 (인) 대리인
 이래호 (인)

【수수료】

【기본출원료】	20 면	29,000 원
【가산출원료】	4 면	4,000 원
【우선권주장료】	0 건	0 원
【심사청구료】	21 항	781,000 원
【합계】		814,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

공정을 단순화시키고, 게이트 상부절연막의 손실을 억제하여 비트라인과 게이트와의 단선을 억제하고, 게이트 구조형성 후 적층되는 층간절연막의 보이드 발생을 억제할 수 있는 반도체 소자의 콘택패드 형성방법에 관해 개시한다. 이를 위해 본 발명은, 반도체 기판에 게이트 상부절연막을 포함하는 게이트 구조와, 정지층(stopping layer) 및 층간절연막을 형성하고 수행하는 화학기계적 연마공정에서, 게이트 상부절연막과 층간절연막과의 연마선택비가 높은 슬러리를 이용하여 상기 적어도 게이트 상부절연막이 노출되도록 상기 층간절연막을 평탄화하고, 상기 층간절연막에 콘택패드가 형성될 영역을 식각 후, 콘택패드용 도전물질을 증착하고 수행하는 화학기계적 연마공정에서 게이트 상부절연막과 상기 콘택패드용 도전물질과의 연마선택비가 높은 슬러리를 이용하여 평탄화를 진행한다.

【대표도】

도 5

【명세서】

【발명의 명칭】

반도체 소자의 콘택패드 형성방법{Method for fabricating a contact pad of semiconductor device}

【도면의 간단한 설명】

도 1 내지 도 4는 종래 기술에 의한 반도체 소자의 콘택패드 형성방법을 설명하기 위해 도시한 단면도들이다.

도 5 내지 도 8은 본 발명에 의한 반도체 소자의 콘택패드 형성방법을 설명하기 위해 도시한 단면도들이다.

도 9는 본 발명에 따라 반도체 소자의 콘택패드를 형성하였을 때, 게이트 상부절연막의 소모정도를 설명하기 위해 도시한 그래프이다.

* 도면의 주요부분에 대한 부호의 설명 *

100: 반도체 기판,	102: 소자분리막,
104: 정지층(stopping layer),	106: 층간절연막,
108: 콘택패드 형성영역,	120: 게이트 구조,
122: 게이트 상부절연막,	124: 게이트 실리사이드,
126: 게이트 전극,	128: 게이트 스페이서,
130: 식각완충막,	132: 반사방지막,
134: 포토레지스트 패턴,	136: 콘택패드용 도전물질,
136A: 콘택패드.	

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <13> 본 발명은 반도체 소자의 제조방법에 관한 것으로, 더욱 상세하게는 콘택패드(contact pad)의 형성방법에 관한 것이다.
- <14> 반도체 소자가 고집적화 될수록 대부분의 반도체 소자의 제조공정에 있어서 공정마진은 감소하게 된다. 반도체 소자중, 디램(DRAM) 및 에스램(SRAM)과 같은 메모리의 소자의 제조공정에 있어서는, 비트라인(bit line)과 드레인의 전기적 연결, 그리고 커패시터부와 소오스의 전기적 연결을 용이하게 하기 위해 콘택패드(contact pad)라는 도전물질층을 형성한다. 이러한 콘택패드의 형성 목적은 상술한 비트라인(bit line)과 드레인의 전기적 연결 및 커패시터부와 소오스의 전기적 연결에 있어서 콘택되는 면적을 최대한으로 증가시키기 위함이다.
- <15> 도 1 내지 도 4는 종래 기술에 의한 반도체 소자의 콘택패드 형성방법을 설명하기 위해 도시한 단면도들이다.
- <16> 도 1을 참조하면, 소자분리막(12)이 형성된 반도체 기판(10)에 게이트 구조(20)를 형성한다. 상기 게이트 구조(20)는 게이트전극(26), 실리사이드층(24), 게이트 상부절연막(22) 및 게이트 스페이서(28)로 이루어진다. 그 후, 정지층(stopping layer, 14)을 반도체 기판의 표면 단차를 따라서 형성하고, 층간절연막(16)을 반도체 기판의 전면을 덮도록 두겹게 증착한다. 계속해서 상기 층간절연막(16)을 화학기계적 연마(CMP: Chemical Mechanical Polishing) 공정 혹은 리플로우(reflow) 공정으로 평탄화시킨다.

이때, 평탄화를 진행하는 정도(CMP target)는 상기 게이트 상부절연막(22)의 상부가 손상되는 것을 방지하기 위해, 게이트 상부절연막(22) 위에서 상기 층간절연막(16)이 약 1000Å 이상(도면의 'T1') 남도록 평탄화를 진행한다.

<17> 도 2를 참조하면, 상기 평탄화가 완료된 반도체 기판 전면에 반사방지막(18)을 덮고, 상기 반사방지막(18)위에 콘택패드(contact pad)를 식각하기 위한 포토레지스트 패턴(30)을 형성한다.

<18> 도 3을 참조하면, 상기 포토레지스트 패턴(30)을 식각마스크로 하부의 층간절연막(16A)을 자기정렬방식(SAC: Self Aligned Contact)으로 식각하여 제거함으로써 콘택패드가 형성될 영역을 형성한다. 이때 정지층(14A)은 자기정렬방식의 식각에서 식각정지층(etching stopper)으로 활용되고, 상기 활용이 끝난 후에는 노출된 정지층(14A) 일부는 제거한다. 상기 정지층(14A)이 제거된 반도체 기판 전면에 콘택패드가 형성될 영역(32)을 채우면서 반도체 기판 위를 덮는 콘택패드용 도전물질(34), 예컨대 폴리실리콘(polysilicon)을 증착한다. 이어서, 후속되는 화학기계적 평탄화(CMP)를 용이하게 하기 위하여 추가적인 건식식각을 진행하여 상기 증착된 콘택패드용 도전물질(34), 반사방지막 패턴(18A) 및 층간절연막(16A)을 일정 두께(도면의 'T2')로 에치백(etchback)한다.

<19> 도 4를 참조하면, 상기 에치백이 완료된 반도체 기판 전면에 화학기계적 연마 공정을 진행하여 각각의 게이트 구조(20)에 의해 분리된 형상을 갖는 콘택패드(34')를 형성한다. 이때, 정지층(14B) 및 게이트 상부절연막(22)은 상기 화학기계적 연마공정으로 상기 층간절연막(16B)을 연마하는 동안에 연마정지층의 역할을 수행한다.

<20> 그러나 상술한 종래기술에 의한 반도체 소자의 콘택패드 형성방법은 다음과 같은

문제점을 가지고 있다.

<21> 첫째, 콘택패드용 도전물질과 층간절연막을 일단 건식식각으로 인시튜(in-situ) 방식으로 에치백한 후에, 또 다시 화학기계적 연마공정을 진행하기 때문에 전체공정이 길고 복잡한 문제가 있다.

<22> 둘째, 게이트 상부절연막을 형성하고 콘택패드를 형성하기 위한 화학기계적 연마공정까지 진행하는 동안에 게이트 상부절연막(22)이 일부 연마나 식각으로 인하여 손실되기 때문에 공정마진이 저하된다. 일 예로, 게이트 상부절연막의 두께를 2300 Å으로 형성할 경우에 콘택패드를 형성하기 위한 화학기계적 연마 공정을 진행하면, 게이트 상부절연막의 두께가 대략 800 Å 정도로 얇아지며, 낮은곳은 350 Å 정도가 된다. 따라서, 게이트 상부절연막의 소모가 심할 경우에는 게이트 구조의 실리콘사이드층과 콘택패드용 도전물질과 단선(short)이 되는 문제, 즉 게이트와 비트라인이 단선되어 반도체 소자가 동작하지 않는 심각한 문제가 발생할 수도 있다.

<23> 셋째, 상기 게이트 상부절연막의 두께 손상을 방지하기 위해서는, 게이트 상부절연막의 두께를 두껍게 형성해야 하는데, 이는 상기 층간절연막(16)의 두께를 증가시켜야 하는 결과를 초래하고, 다시 두꺼운 층간절연막의 두께는 층간절연막 내부에 보이드(void)와 같은 공정불량을 발생시킨다.

【발명이 이루고자 하는 기술적 과제】

<24> 본 발명이 이루고자 하는 기술적 과제는 콘택패드 형성공정을 단순화시키면서, 게이트 상부절연막의 손실을 최소화하고, 층간절연막의 두께를 줄일 수 있는 공정을 실현

함으로써 층간절연막 내부에서 보이드 발생을 억제할 수 있는 반도체 소자의 콘택패드 형성방법을 제공하는데 있다.

【발명의 구성 및 작용】

- <25> 상기 기술적 과제를 달성하기 위한 본 발명에 의한 반도체 소자의 콘택패드 형성방법은, 먼저 반도체 기판에 게이트 상부절연막을 포함하는 게이트 구조를 형성한다. 상기 게이트 구조가 형성된 반도체 기판 전면에 표면의 단차를 따라서 정지층(stopping layer)을 블랭킷 방식으로 증착한다. 상기 정지층(stopping layer)이 형성된 반도체 기판 전면에 층간절연막을 두껍게 증착한다. 이어서, 상기 게이트 상부절연막과 상기 층간절연막과 선택비가 높은 물질을 이용하여 상기 게이트 상부절연막까지 상기 층간절연막을 평탄화시킨다. 상기 평탄화가 완료된 반도체 기판 전면에 식각완충막 및 반사방지막을 형성한다. 계속해서, 상기 반사방지막이 형성된 반도체 기판에 사진 및 식각공정을 진행하여 상기 반도체 기판에서 콘택패드가 형성될 영역의 층간절연막을 식각한다. 마지막으로 상기 반도체 기판에 콘택패드용 도전물질을 상기 반도체 기판 전면을 덮도록 증착한 후, 상기 게이트 상부절연막과 상기 콘택패드용 도전물질과의 선택비가 높은 물질을 이용하여 상기 게이트 상부절연막이 드러나도록 상기 콘택패드용 도전물질을 한번에 평탄화한다.
- <26> 본 발명의 바람직한 실시예에 의하면, 상기 게이트 상부절연막은 질화막(SiN), 산화알루미늄막(Al_2O_3)중에서 선택된 하나를 사용하여 2000 ~500Å의 두께로 형성하는 것이 바람직하다.
- <27> 바람직하게는, 상기 층간절연막을 증착한 후에 상기 층간절연막을 화학기계적 연마나 리플로우(reflow) 방식으로 평탄화하는 공정을 더 수행할 수도 있다.

- <28> 상기 충전절연막을 평탄화하는 공정과, 상기 콘택패드용 도전물질을 평탄화하는 공정은 화학기계적 연마공정을 이용하고 진행하는 것이 바람직하고, 상기 화학기계적 연마공정에 사용되는 슬러리는 알루미나(Alumina), 실리카(Silica), 세리아(Ceria) 및 산화망간(Mn_2O_3)중에서 선택된 어느 하나의 연마분(abrasive particle)을 포함하는 것을 사용하는 것이 적합하다.
- <29> 또한, 본 발명의 바람직한 실시예에 의하면, 상기 식각완충막은 상기 제7 공정의 콘택패드용 도전물질과 동일한 물질로 형성하는 것이 바람직하며, 두께가 100~1000Å의 범위인 것이 적합하다. 그리고 상기 반사방지막은 비정질 카본막을 사용하는 것이 적합하다.
- <30> 본 발명에 의한 반도체 소자는 반도체 소자내부에 콘택패드가 형성되는 구조를 가진 것으로서, 디램(DRAM), 에스램(SRAM) 및 디램 혼합소자(M이)중에서 어느 하나인 것이 바람직하다.
- <31> 본 발명의 바람직한 실시예에 의하면, 상기 충전절연막을 평탄화하고, 상기 콘택패드용 도전물질을 평탄화하는 화학기계적 연마공정에서, 상기 충전절연막 혹은 콘택패드용 도전물질과 게이트 상부절연막의 연마선택비는 5:1~50:1의 범위인 것이 적합하다.
- <32> 바람직하게는, 상기 충전절연막을 평탄화시킨 후에, 상기 콘택패드용 도전물질과 동일 재질의 식각완충막을 1000Å 이하로 형성하는 공정을 더 진행하는 것이 적합하다.
- <33> 본 발명에 따르면, 충전절연막 및 콘택패드용 도전물질을 평탄화하는 화학기계적 연마공정에서, 상기 충전절연막/콘택패드용 도전물질과 게이트 상부절연막과의 연마선택비가 높은 슬러리를 사용하기 때문에, 공정을 단순화시키고, 게이트 상부절연막의 두께

손실을 최소화할 수 있으므로 게이트와 비트라인의 단선을 방지하고 공정마진을 개선할 수 있다. 또한, 게이트 상부절연막의 두께를 줄여 충전절연막의 두께를 줄일 수 있으므로 충전절연막 내부에서 발생할 수 있는 보이드(void)의 발생을 억제할 수 있다.

<34> 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다.

<35> 그러나, 아래의 상세한 설명에서 개시되는 실시예는 본 발명을 한정하려는 의미가 아니라, 본 발명이 속한 기술분야에서 통상의 지식을 가진 자에게, 본 발명의 개시가 실시 가능한 형태로 완전해지도록 발명의 범주를 알려주기 위해 제공되는 것이다.

<36> 본 발명은 그 정신 및 필수적 특징을 이탈하지 않고 다른 방식으로 실시할 수 있다. 예를 들면, 아래의 바람직한 실시예에 있어서는 반사방지막이 비정질 카본막이지만, 이는 산화질화막(SiON)과 같은 유기 반사방지막과 같아도 무방하다. 또는 아래의 실시예에서 게이트 상부절연막과 충전절연막과의 높은 연마선택비를 이용하여 상기 충전절연막을 연마하는 슬러리가 세리아 계열(Ceria base)이지만, 이는 실리카계열, 혹은 알루미늄 및 산화망간계열의 연마분을 포함하는 슬러리로 치환할 수 있는 것이며, 게이트 상부절연막과 콘택패드용 도전물질의 높은 연마선택비를 이용하여 상기 콘택패드용 도전물질을 연마하는 슬러리가 실리카 계열(Silica base)이지만 이것 역시 세리아(Ceria)계열, 혹은 알루미늄 및 산화망간계열의 연마분을 포함하는 슬러리로 치환할 수 있다. 따라서, 아래의 바람직한 실시예에서 기재한 내용은 예시적인 것이며 한정하는 의미가 아니다.

<37> 도 5를 참조하면, 소자분리막(102)이 형성된 반도체 기판(100)에 게이트 구조(120)를 형성한다. 상술한 게이트 구조(120)는 폴리실리콘 재질의 게이트 전극(126), 그 상부에 텅스텐 실리사이드(WSix) 재질의 실리사이드층(124), 상기 실리사이드층(124) 위에

질화막 혹은 산화알루미늄막(Al_2O_3) 재질의 게이트 상부절연막(122) 및 상기 게이트전극(126), 실리사이드층(124) 및 게이트 상부절연막(122)의 측벽에 형성된 질화막 재질의 게이트 스페이서(128)로 구성되는 것이 바람직하다.

<38> 상기 게이트 상부절연막(122)은 2000 ~500 Å의 두께 범위로 형성하는 것이 적절하며, 본 실시예에서는 2300 Å의 두께로 형성한다. 이어서, 상기 게이트 구조(120)가 형성된 반도체 기판 전면에서 정지층(stopping layer, 104), 예컨대 질화막을 상기 반도체 기판 표면 단차를 따라서 블랭킷(blanket) 방식으로 형성한다. 상기 정지층(104)의 두께는 100 ~50 Å의 두께인 것이 적합하다. 이어서 층간절연막(106), 예컨대 고밀도 플라즈마 산화막(HDP Oxide), SOG(Spin On Glass), BPSG(Boron Phosphorus Silicate Glass), PSG(Phosphorus Silicate Glass), USG(Undoped Silicate Glass), PE-TEOS(Plasma Enhanced Tetra Ethyl Otho Silicate), FOx(Flowable Oxide), 포토레지스터 및 폴리머(polymer)중에서 선택된 하나의 절연막을 상기 반도체 기판 위를 충분히 덮도록 증착한다. 상기 증착된 층간절연막(106)은 리플로우(reflow) 방식으로 평탄화를 시키는 것이 적합하다.

<39> 계속해서 상기 층간절연막(106)에 화학기계적 연마공정을 진행하되, 상기 게이트 상부절연막(122) 혹은 정지층(104)을 연마정지층으로 설정하여 평탄화를 실시한다. 이때, 상기 층간절연막(106)의 두께는 종래기술에 비하여 얇게 형성할 수 있다. 그 이유는 후속되는 콘택패드용 도전물질의 평탄화공정에서 연마정지층이 게이트 상부절연막(122)이 되기 때문이다. 즉, 종래기술에서는 게이트 상부절연막(122)의 손실을 방지하기 위해 될 수 있으면 층간절연막(106)의 두께를 두껍게 형성하고, 평탄화를 진행하는 높이가 게이트 상부절연막(122)이나 정지층(104) 위의 층간절연막(106) 내부였으나, 본

발명에서는 평탄화를 진행하는 방법이 다르기 때문에 얇게 형성하여도 무방하다.

<40> 상기 평탄화를 진행하는 방법은, 상기 층간절연막(106)과 게이트 상부절연막(122)의 연마선택비가 5:1에서 50:1 정도의 연마분이 포함된 슬러리(slurry)를 사용하여 진행하거나, 상기 층간절연막(106)과 게이트 상부절연막(122)의 식각선택비가 5:1~50:1로 높은 건식식각 방법으로 진행할 수 있다. 즉, 층간절연막(106)을 구성하는 막질에 대하여는 연마선택비가 높고, 게이트 상부절연막(122)을 구성하는 질화막에 대하여 식각선택비 혹은 연마선택비가 낮은 물질을 이용하여 평탄화 공정을 진행한다. 상기 층간절연막(106)과 게이트 상부절연막(122)의 연마선택비가 5:1에서 50:1 정도의 연마분이 포함된 슬러리(slurry)는 알루미나(Alumina), 실리카(Silica), 세리아(Ceria) 및 산화망간(Mn_2O_3)중에서 선택된 어느 하나의 연마분(abrasive particle)을 포함하는 것을 사용할 수 있으나, 본 실시예에서는 세리아(Ceria) 계열의 슬러리를 사용한다.

<41> 도 6을 참조하면, 상기 평탄화가 완료된 반도체 기판 전면에 콘택패드용 도전물질과 동일한 재질의 물질, 예컨대 폴리실리콘막을 이용하여 식각완충막(130)을 1000 Å 이하의 두께로 형성한다. 상기 식각완충막(130)은 후속되는 콘택패드 형성을 위한 평탄화 공정에서 연마완충 작용을 수행함과 동시에 한번에(one step)의 화학기계적 연마 공정으로 콘택패드를 형성하는 것이 가능해지도록 하는 역할을 한다. 만약 두께가 너무 증가하면 화학기계적 연마 시간을 증가시키기 때문에, 두께는 1000 Å 미만으로 형성하는 것이 바람직하다. 즉, 종래기술에서는 상기 화학기계적 연마공정은, 건식식각을 통한 에치백 공정과 화학기계적 연마공정의 두 단계로 이루어 졌으나, 본 발명에서는 상기 식각완충막(130)을 사용함으로써 콘택패드 형성을 위한 화학기계적 연마공정을 한 단계로 줄일 수 있다.

- <42> 그 후 상기 식각완충막(130) 위에 반사방지막(132)을 형성하고 콘택패드가 형성될 영역을 식각하기 위한 포토레지스트 패턴(134)을 형성한다. 상기 반사방지막(132)은 비정질카본막을 사용하는 것이 적합하데, 이것은 비정질 카본막의 제조원가가 싸고, 반사방지막이 포토레지스트 패턴과 함께 제거되기 때문에 별도의 반사방지막(132)을 제거하는 공정을 진행하지 않아도 되기 때문이다.
- <43> 도 7을 참조하면, 상기 포토레지스트 패턴(134)을 식각마스크로 이용하여 자기정렬 방식(SAC)의 식각을 진행하여 콘택패드가 형성될 영역(108)의 층간절연막(106) 일부를 건식식각 방식으로 제거한다. 계속해서 상기 건식식각에 의하여 콘택패드가 형성될 영역에 노출된 정지층(104) 일부를 제거한다. 상기 공정에서 상기 반사방지막은 포토레지스트 패턴(134)을 제거하는 동안에 함께 제거된다.
- <44> 상기 콘택패드가 형성될 영역(108)이 식각된 반도체 기판 전면에 콘택패드용 도전물질(136), 예컨대 폴리실리콘을 반도체 기판 위를 충분히 덮도록 적층한다. 상기 콘택패드용 도전물질(136)은, 폴리실리콘, 티타늄, 질화티타늄 및 텅스텐중에서 어느 하나의 물질을 사용하여 형성할 수 있으나, 본 실시예에서는 불순물이 포함된 폴리실리콘을 사용한다.
- <45> 이때, 종래 기술에서는, 후속되는 화학기계적 연삭공정에서 게이트 상부절연막(122)이 연마되어 소모되는 것을 최소화하고, 화학기계적 연마의 균일도(uniformity)를 개선하기 위하여, 먼저 건식식각을 진행하여 콘택패드용 도전물질(136)과 약간의 층간절연막을 에치백하였다. 그러나 본 발명에서는 이러한 공정을 수행하지 않는다.
- <46> 도 8을 참조하면, 상기 콘택패드용 도전물질(136)이 증착된 반도체 기판에 콘택패드 형성을 위한 평탄화 공정을 진행하여 게이트 구조(120)에 의해 분리된 형상을 갖는

콘택패드(136A)를 각각 형성한다.

- <47> 이때, 상기 평탄화를 진행하는 방법이 화학기계적 연마공정일 경우, 상기 게이트 상부절연막(122)과 콘택패드용 도전물질인 폴리실리콘에 대하여 연마선택비가 1:5에서 1:50의 높은 연마선택비를 갖는 슬러리(slurry)를 사용한다. 상기 슬러리는 슬러리 속에 포함된 연마분(abrasive particle)으로 알루미나(alumina), 실리카(Silica), 산화세륨(Ceria), 산화망간(Mn_2O_3)등이 포함된 것을 사용할 수 있으나, 본 실시예에서는 실리카 성분의 연마분이 포함된 슬러리를 사용하면 한번의 화학기계적 연마공정으로 분리된 형상을 갖는 콘택패드에 디싱(Dishing)이 발생하지 않으면서 쉽게 평탄화를 달성할 수 있다.
- <48> 따라서, 상술한 식각완충막(130)의 추가 및 게이트 상부절연막(122)에 대하여 연마선택비가 높은 슬러리를 평탄화공정에 사용함으로써, 콘택패드용 도전물질 증착후에 진행하는 건식식각을 생략하고, 콘택패드 형성을 위한 화학기계적 연마공정을 2단계에서 1단계로 줄일 수 있고, 상기 게이트 상부절연막(122)의 상부가 연마되거나 식각되어 손실되는 것을 억제할 수 있다.
- <49> 상기 평탄화 공정은 화학기계적 연마 공정이 아니더라도 건식식각을 통하여 실현할 수 있다. 즉, 게이트 상부절연막(122)과 콘택패드용 도전물질(136)과의 식각선택비가 1:5에서 1:50의 범위로 확보되는 조건에서 건식식각을 이용하여 진행하여도 무방하다. 그리고 본 발명에 의한 반도체 소자의 콘택패드 형성방법은 게이트 패턴과 콘택패드가 반도체 소자 내부에 형성되는 디램(DRAM), 에스램(SRAM) 및 디램 혼합소자(MDL: Merged DRAM Logic Device)에 적용이 가능하다.
- <50> 도 9는 본 발명에 따라 반도체 소자의 콘택패드를 형성하였을 때, 게이트 상부절연

막의 소모정도를 설명하기 위해 도시한 그래프이다.

<51> 도 9를 참조하면, 게이트 상부절연막을 2300Å으로 형성한 후, 콘택패드용 도전물질을 평탄화한 다음 측정한 게이트 상부절연막의 두께를 나타낸다. 그래프에서 X축은 층간절연막의 두께이고, Y축은 게이트 상부절연막인 질화막의 남아있는 두께를 나타낸다.

<52> 그래프에서 ■로 표시되는 부분은 도5 내지 도8과 같이 본 발명의 실시예를 따라서 반도체 소자의 콘택패드를 형성한 후에 측정한 게이트 상부절연막의 두께를 가리키고, ●로 표시되는 부분은 종래기술과 같이 도1 내지 도4의 공정에 따라서 반도체 소자의 콘택패드를 제조하고 측정한 게이트 상부절연막의 두께를 가리킨다.

<53> 전체적으로 보아서, 본 발명에 따라서 반도체 소자의 콘택패드를 형성한 경우(■로 표시되는 부분)가 종래기술에 따라서 반도체 소자의 콘택패드를 형성한 경우(●로 표시되는 부분)보다 약 500Å 정도 게이트 상부절연막이 적게 소모된 것을 확인할 수 있다.

<54> 상기 결과로부터 다음의 사실을 유추할 수 있다. 첫째, 게이트 상부절연막의 소모를 줄일 수 있기 때문에 게이트와 비트라인의 단선을 예방하고 공정마진을 개선할 수 있다. 둘째, 게이트 상부절연막의 소모가 적기 때문에 전체적인 게이트 구조(도5의 120)의 높이를 낮추고, 이에 따라 층간절연막의 두께도 낮출 수 있기 때문에 층간절연막 내의 보이드(void) 발생을 억제할 수 있다.

<55> 본 발명은 상기한 실시예에 한정되지 않으며, 본 발명이 속한 기술적 사상 내에서 당 분야의 통상의 지식을 가진 자에 의해 많은 변형이 가능함이 명백하다.

【발명의 효과】

- <56> 따라서, 상술한 본 발명에 따르면, 첫째 콘택패드용 도전물질을 증착한 후에 진행 하던 건식 식각공정을 생략하고, 콘택패드 형성을 위한 화학기계적 연마공정의 단계를 2 단계에서 1단계로 줄여 공정을 단순화시킬 수 있다.
- <57> 둘째, 충전절연막을 평탄화하는 공정과, 콘택패드 형성을 위한 평탄화 공정에서 게이트 상부절연막의 두께 손실을 억제할 수 있으므로 게이트와 비트라인의 단선을 방지하고, 공정마진을 개선할 수 있다.
- <58> 셋째, 충전절연막의 두께를 줄일 수 있으므로 충전절연막 내부에서 발생할 수 있는 보이드(void)의 발생을 억제할 수 있다.
- <59> 넷째, 콘택패드 형성을 위한 평탄화 공정에서 콘택패드 표면에 발생하는 디싱(dishing)을 방지할 수 있다.

【특허청구범위】**【청구항 1】**

반도체 기판에 게이트 상부절연막을 포함하는 게이트 구조를 형성하는 제1 공정;

상기 게이트 구조가 형성된 반도체 기판 전면에 표면의 단차를 따라서 정지층(stopping layer)을 블랭킷 방식으로 형성하는 제2 공정;

상기 정지층(stopping layer)이 형성된 반도체 기판 전면에 층간절연막을 증착하는 제3 공정;

상기 게이트 상부절연막과 상기 층간절연막과 선택비가 높은 물질을 이용하여 적어도 상기 게이트 상부절연막이 노출되도록 상기 층간절연막을 평탄화시키는 제4 공정;

상기 반도체 기판에 사진 및 식각공정을 진행하여 상기 반도체 기판에서 콘택패드가 형성될 영역의 층간절연막을 식각하는 제5 공정;

상기 반도체 기판에 콘택패드용 도전물질을 상기 반도체 기판 전면을 덮도록 증착하는 제 6공정; 및

상기 게이트 상부절연막과 상기 콘택패드용 도전물질과 선택비가 높은 물질을 이용하여 평탄화를 진행하는 제7 공정을 구비하는 것을 특징으로 하는 반도체 소자의 콘택패드 형성방법.

【청구항 2】

제1항에 있어서,

상기 게이트 상부절연막은 질화막(SiN), 산화알루미늄막(Al_2O_3)중에서 선택된 하나를 사용하는 것을 특징으로 하는 반도체 소자의 콘택패드 형성방법.

【청구항 3】

제1항에 있어서,

상기 게이트 상부절연막은 두께가 2000 \pm 500 Å인 것을 특징으로 하는 반도체 소자의 콘택패드 형성방법.

【청구항 4】

제1항에 있어서,

상기 정지층은 질화막(SiN)인 것을 특징으로 하는 반도체 소자의 콘택패드 형성방법.

【청구항 5】

제1항에 있어서,

상기 정지층은 두께가 100 \pm 50 Å인 것을 특징으로 하는 반도체 소자의 콘택패드 형성방법.

【청구항 6】

제1항에 있어서,

상기 층간절연막은 HDP 산화막, PE-TEOS, USG, BPSG, PSG, FOX 및 포토레지스트와 같은 폴리머로 이루어진 절연막중에서 선택된 어느 하나를 사용하는 것을 특징으로 하는 반도체 소자의 콘택패드 형성방법.

【청구항 7】

제1항에 있어서,

상기 제3 공정의 층간절연막을 증착한 후에 상기 층간절연막을 화학기계적 연마나

리플로우(reflow) 방식으로 평탄화하는 공정을 더 수행하는 것을 특징으로 하는 반도체 소자의 콘택패드 형성방법.

【청구항 8】

제1항에 있어서,

상기 제4 공정의 평탄화는 화학기계적 연마 및 건식식각 중에서 선택된 어느 하나의 공정을 이용하여 수행하는 것을 특징으로 하는 반도체 소자의 콘택패드 형성방법.

【청구항 9】

제8항에 있어서,

상기 화학기계적 연마는 상기 게이트 상부절연막과 상기 층간절연막과의 연마선택비가 1:5~1:50의 연마선택비를 갖는 슬러리를 사용하여 진행하는 것을 특징으로 하는 반도체 소자의 콘택패드 형성방법.

【청구항 10】

제 9항에 있어서,

상기 슬러리는 알루미나(Alumina), 실리카(Silica), 세리아(Ceria) 및 산화망간(Mn_2O_3)중에서 선택된 어느 하나의 연마분(abrasive particle)을 포함하는 것을 특징으로 하는 반도체 소자의 콘택패드 형성방법.

【청구항 11】

제1항에 있어서,

상기 제4 공정 후에 상기 평탄화가 완료된 반도체 기판 전면에서 식각완충막을 형성하는 공정을 더 수행하는 것을 특징으로 하는 반도체 소자의 콘택패드 형성방법.

【청구항 12】

제11항에 있어서,

상기 식각완충막이 형성된 반도체 기판 전면에 반사방지막을 형성하는 공정을 더 수행하는 것을 특징으로 하는 반도체 소자의 콘택패드 형성방법.

【청구항 13】

제11항에 있어서,

상기 식각완충막은 상기 제7 공정의 콘택패드용 도전물질과 동일한 물질로 형성하는 것을 특징으로 하는 반도체 소자의 콘택패드 형성방법.

【청구항 14】

제11항에 있어서,

상기 식각완충막은 두께가 100~1000Å의 범위인 것을 특징으로 하는 반도체 소자의 콘택패드 형성방법.

【청구항 15】

제12항에 있어서,

상기 반사방지막은 비정질 카본막을 사용하는 것을 특징으로 하는 반도체 소자의 콘택패드 형성방법.

【청구항 16】

제1항에 있어서,

상기 제5 공정 후에, 노출된 형태의 정지층을 식각하는 공정을 더 수행하는 것을 특징으로 하는 반도체 소자의 콘택패드 형성방법.

【청구항 17】

제1항에 있어서,

상기 콘택패드용 도전물질은 폴리실리콘, 티타늄(Ti), 질화티타늄(TiN) 및 텅스텐(W)으로 이루어진 도전물질중에서 선택된 어느 하나인 것을 특징으로 하는 반도체 소자의 콘택패드 형성방법.

【청구항 18】

제1항에 있어서,

상기 제7 공정의 평탄화는 건식식각 및 화학기계적 연마공정중 하나의 공정으로 진행하는 것을 특징으로 하는 반도체 소자의 콘택패드 형성방법.

【청구항 19】

제18항에 있어서,

상기 화학기계적 연마는 상기 게이트 상부절연막과 상기 콘택패드용 도전물질과의 연마선택비가 1:5~1:50의 연마선택비를 갖는 슬러리를 사용하여 진행하는 것을 특징으로 하는 반도체 소자의 콘택패드 형성방법.

【청구항 20】

제19항에 있어서,

상기 슬러리는 알루미나(Alumina), 실리카(Silica), 세리아(Ceria) 및 산화망간(Mn_2O_3)중에서 선택된 어느 하나의 연마분(abrasive particle)을 포함하는 것을 특징으로 하는 반도체 소자의 콘택패드 형성방법.

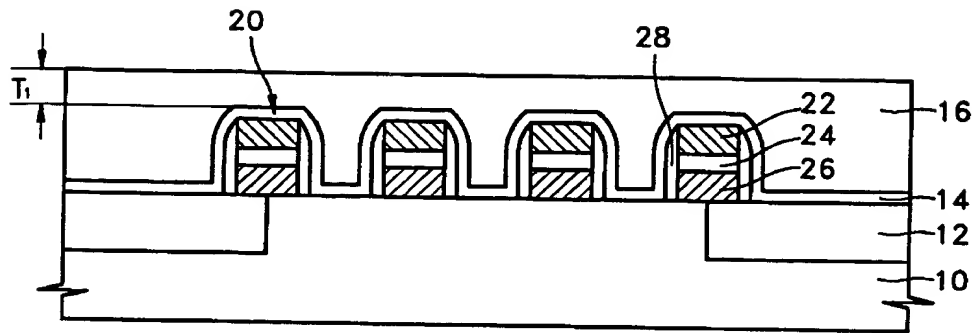
【청구항 21】

제1항에 있어서,

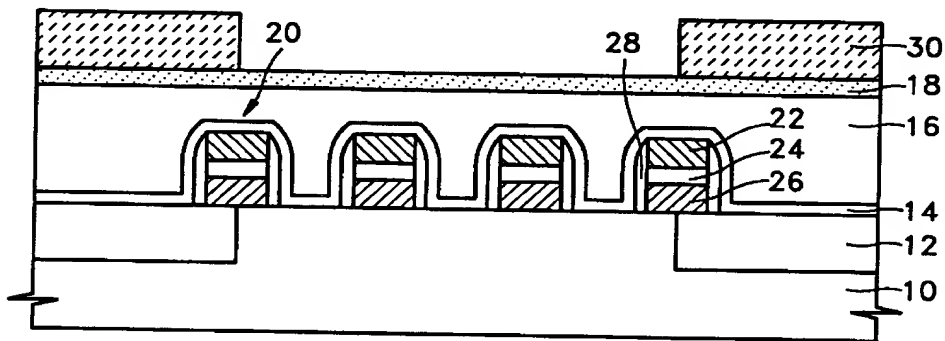
상기 반도체 소자는 디램(DRAM), 에스램(SRAM) 및 디램 혼합소자(M이)중에서 선택된 어느 하나의 반도체 소자인 것을 특징으로 하는 반도체 소자의 콘택패드 형성방법.

【도면】

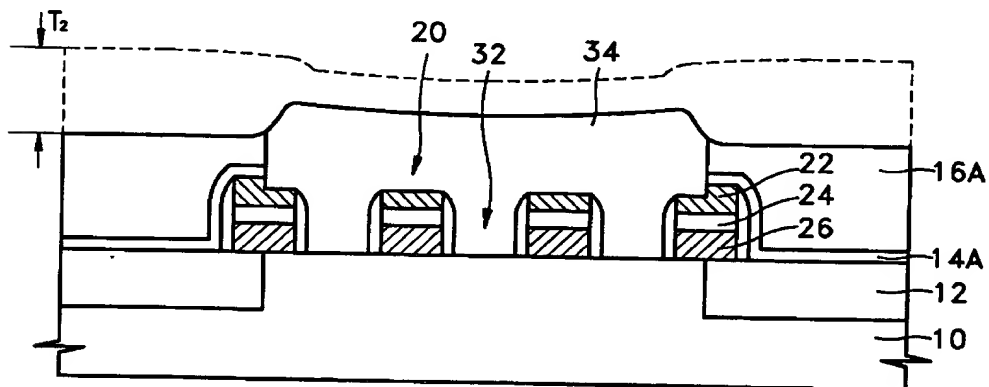
【도 1】



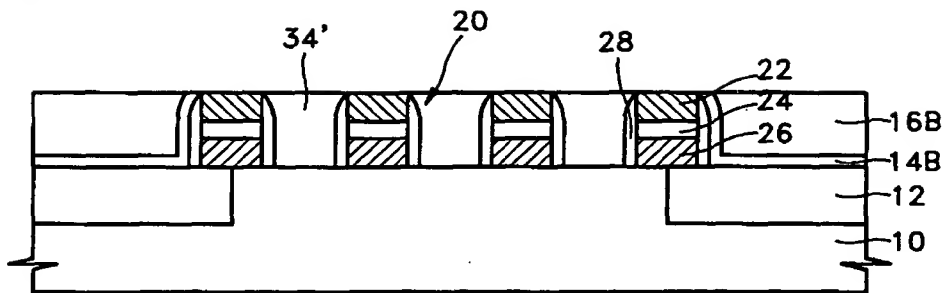
【도 2】



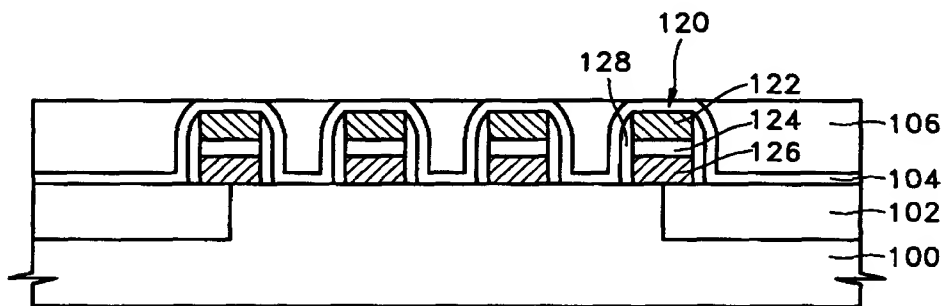
【도 3】



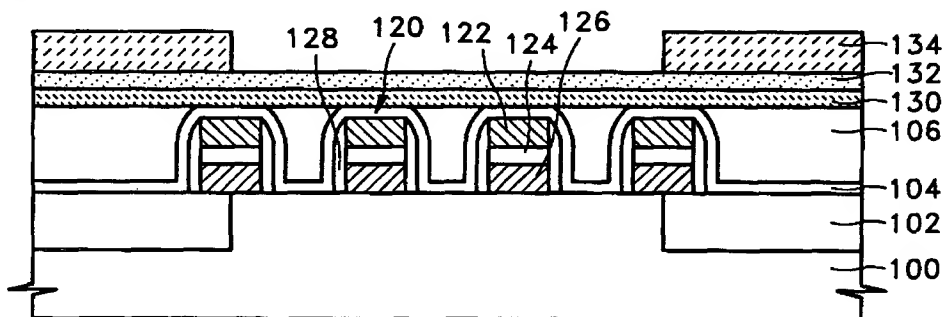
【도 4】



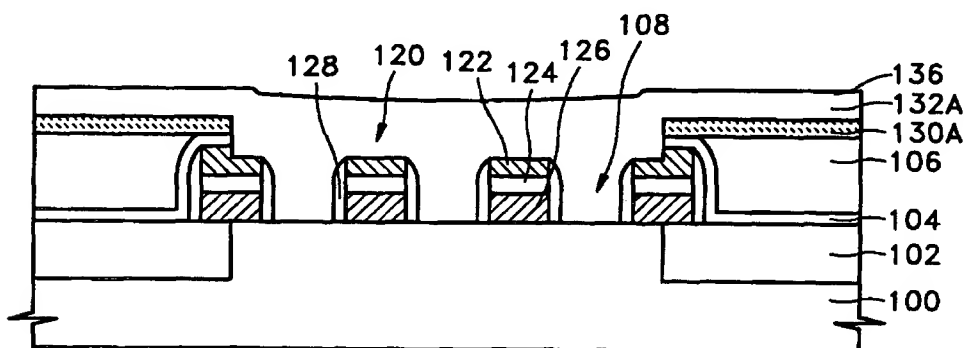
【도 5】



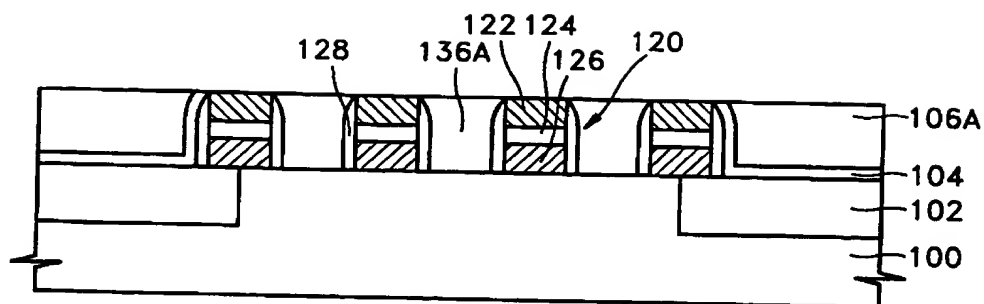
【도 6】



【도 7】



【도 8】



【도 9】

